

Adam ŁUCZAK, Maciej KURC, Marta STĘPNIEWSKA, Krzysztof WEGNER
POLITECHNIKA POZNAŃSKA, KATEDRA TELEKOMINIKACJI MULTIMEDIALNEJ I MIKROELEKTRONIKI

Platforma przetwarzania rozproszonego bazująca na sieci NoC

Mgr inż. Krzysztof WEGNER

Ukończył studia na Politechnice Poznańskiej, wydziale Elektroniki i Telekomunikacji, kierunku Elektronika i Telekomunikacja w 2008r. Jest studentem studium doktoranckiego na wydziale Elektroniki i Telekomunikacji Politechniki Poznańskiej. Główna działalność badawcza związana jest z obróbką i transmisją obrazu w systemach wielokamerowych. Jego obszar zainteresowań obejmuje algorytmy i systemy przetwarzania rozproszonego wykorzystujące układy programowalne w systemach wielokamerowych

e-mail: kwegner@multimedia.edu.pl



Mgr inż. Maciej KURC

Ukończył studia na Politechnice Poznańskiej, wydziale Elektroniki i Telekomunikacji, kierunku Elektronika i Telekomunikacja w 2008r. Jest doktorantem na wydziale Elektroniki i Telekomunikacji Politechniki Poznańskiej. Jego zainteresowania to elektronika, przetwarzanie obrazów, implementacja algorytmów przy pomocy układów FPGA.

e-mail: mkurc@multimedia.edu.pl



Mgr inż. Marta STĘPNIEWSKA

(ur. 1981) tytuł magistra uzyskała w 2005 na Politechnice Poznańskiej. Jest studentką studium doktoranckiego na wydziale Elektroniki i Telekomunikacji Politechniki Poznańskiej. Brała udział w kilku projektach związanych z implementacją algorytmów kompresji na platformę sprzętową. Interesuje się transmisją sygnałów wizyjnych w sieci Internet, historią współczesną, fizyką, antropologią.

e-mail: mstep@multimedia.edu.pl



Dr inż. Adam ŁUCZAK

(ur. 1972) tytuł magistra uzyskał w 1997 na Politechnice Poznańskiej. Od roku 1997 prowadził badania w zespole przetwarzania obrazów. W roku 2001 uzyskał tytuł doktora. Od roku 2002 jest adiunktem w Katedrze Telekomunikacji Multimedialnej i Mikroelektroniki. Główna działalność badawcza związana jest ze sprzętową implementacją algorytmów kompresji i przetwarzania sekwencji wizyjnych w programowalnych układach FPGA. Obecnie głównym nurtem zainteresowań są systemy przetwarzania rozproszonego

e-mail: aluczak@multimedia.edu.pl



Streszczenie

W artykule zaprezentowano oryginalną platformę przetwarzania rozproszonego wykorzystującą sieć NoC (Network-on-Chip) jako infrastrukturę komunikacyjną. Proponowaną platformę zrealizowano wykorzystując układy FPGA jako elementy na których zaprogramowano interesujące projektanta bloki obliczeniowe. Pokazano cechy takiego systemu oraz zalety przetwarzania rozproszonego realizowanego na wielu niezależnych fizycznie układach ASIC czy FPGA.

Słowa kluczowe: przetwarzanie rozproszone, układy programowalne, FPGA, kompresja obrazu, AVC, VC-1, sieć w układzie, sieć NoC

Distributed processing platform based on NoC network

Abstract

The article presents an original dissipated processing platform based on Network on Chip as a communicative infrastructure. In the introduction the need for using dissipated processing to increase computational power of video compression systems further is shown. Features of dissipated processing system and advantages of its implementing on many physically independent FPGA or ASIC is shown. Further several logical structures for proposed system, differing in flexibility and implementation efforts, are shown. In the third chapter novel version of Network on Chip, used as communicative layer in proposed platform is described. Hierarchic structure of this network and implemented communication modules are described. Proposed platform was built basing on Field Programmable Gate Array (FPGA) as elements on which computational blocks were programmed. Scheme of proposed system is shown on figure 1. Complete platform composed of nine board with Field Programmable Gate Array (FPGA) is presented on figure 5.

Keywords: scattered processing, FPGA, video compression, Network on Chip, NoC network, AVC, VC-1,

1. Wstęp

Na przestrzeni kilku ostatnich lat wdrożono do praktycznych zastosowań nową generację kodeków np. AVC/H.264 [1] oraz VC-1 [2]) wykorzystujących tak zwane zaawansowane techniki kompresji sekwencji wizyjnych. Kodeki te charakteryzują się wysoką efektywnością kompresji, czyli uzyskiwaniem małego strumienia danych przy równie wysokiej jakości obrazu. Taka

poprawa uzyskana została dzięki zastosowaniu wielu nowoczesnych narzędzi kodowania, których realizacja wymaga bardzo dużej mocy obliczeniowej [3-7]. Powoduje to, że kodeki standardu MPEG-4 AVC/H.264 są znacznie bardziej złożone niż klasyczne kodeki zgodne ze standardem MPEG-2 lub H.263. Jeszcze większego przyrostu mocy obliczeniowej wymaga się w koderze przy przejściu ze standardu MPEG-2 do efektywnych implementacji standardu MPEG-4 AVC/H.264.

Wymagana moc obliczeniowa stanowi wyzwanie nawet dla najsilniejszych współczesnych procesorów sygnałowych oraz procesorów ogólnego przeznaczenia i niestety nawet najszybsze obecnie procesory nie są w stanie poradzić sobie z niektórymi zagadnieniami związanymi z dekodowaniem obrazu (np. parsowanie strumienia bitowego AVC zakodowanego przy użyciu koderów arytmetycznego). W związku z tym obecnie obserwuje się trend zwiększania mocy obliczeniowej procesorów przez zrównoleglenie obliczeń (praca wielowątkowa). Zatem dużą moc obliczeniową uzyskuje się poprzez zastosowanie wielu jednostek przetwarzających realizujących kodowanie bądź dekodowanie obrazu w sposób zrównoleglony.

Kolejnym problemem jest dostęp do pamięci. Pojedyncza magistrala pamięci ma ograniczoną przepustowość ze względu na ograniczenia układu pamięci oraz kontrolera pamięci, natomiast w systemie rozproszonym wykorzystującym wiele fizycznie niezależnych układów scalonych (ASIC, FPGA) istnieje także możliwość powielenia jednostek dostępu do pamięci, co skutkuje zwiększeniem efektywnej przepustowości do/z pamięci umożliwiając prowadzenie obliczeń na większej ilości danych jednocześnie.

Jak można zauważyć systemy przetwarzania rozproszonego posiadają wiele pozytywnych cech, które pozwalają na znaczące zwiększenie dostępnej mocy obliczeniowej.

2. Cel projektu

Celem prac było zaproponowanie odpowiednich struktur i architektur systemu kompresji umożliwiających realizację proponowanej strategii zwiększania mocy obliczeniowej przez zrównoleglenie obliczeń.

W systemach rozproszonych pojawia się nowy problem nie istniejący w innych rozwiązaniach – komunikacja między jednostkami obliczeniowymi oraz podział zadań.

Autorzy zaproponowali system oparty o wiele układów FPGA wyposażonych w niezależne, zewnętrzne układy pamięci. Zastosowanie układów programowalnych daje ogromne możliwości rekonfiguracji systemu oraz dostosowania go do potrzeb algorytmu przetwarzania danych ale także daje duże pole do badań nad optymalną strukturą takiego systemu. Proponowanym przez autorów systemem komunikacji jednostek przetwarzających w systemie jest dedykowana sieć w układzie (NoC – Network-on-Chip).

Przy opracowywaniu koncepcji systemu rozproszonego wzięto pod uwagę kilka struktur logicznych, które można zaimplementować dzięki układom FPGA:

- o Mikrokontroler wraz z peryferiami. Pod uwagę wzięty został projekt mikrokontrolera Microblaze firmy Xilinx. Zastosowanie mikrokontrolera umożliwia uruchamianie na każdej jednostce algorytmów sekwencyjnych zapisanych jako program, bez konieczności ich modyfikacji. Implementacja mikrokontrolera w matrycy FPGA daje również duże możliwości modyfikacji jego peryferiów.
- o Mikrokontroler połączony z akceleratorami sprzętowymi. W tej konfiguracji zasadniczą część algorytmu realizuje procesor w sposób sekwencyjny. Dodatkowo jednostki sprzętowe służą do wykonywania specjalizowanych obliczeń (np. obliczenie transformaty DCT). Akceleratory sprzętowe są w stanie wykonywać te obliczenia wielokrotnie szybciej niż sam mikrokontroler.
- o Rozwiązanie całkowicie sprzętowe. W tym podejściu uzyskujemy największe przyspieszenie w porównaniu do mikrokontrolera. Całość przetwarzania realizowana jest przez moduły sprzętowe zaimplementowane w matrycy FPGA. Wadą tej struktury jest konieczność ponownej implementacji w przypadku zmiany algorytmu przetwarzania.

Autorzy zdecydowali się na realizację struktury złożonej z mikrokontrolera i akceleratorów sprzętowych, ze względu na dużą elastyczność rozwiązania przy stosunkowo małych nakładach na implementację nowych algorytmów.

3. Warstwa komunikacyjna

Warstwa komunikacyjna proponowanego systemu została zbudowana w oparciu o pakietową sieć NoC. Architektura sieci zapewnia bezstratną wymianę danych między dwoma dowolnymi blokami funkcjonalnymi, mogącymi znajdować się wewnątrz jednego układu scalonego, lub w dwóch osobnych układach. Ponadto sieć jest nieblokowna i nie wymaga kontroli przepływu oraz kontroli błędów na poziomie jednostki obliczeniowej, co powoduje, że jest przezroczysta dla bloków funkcjonalnych.

Dzięki wykorzystaniu sieci NoC każde urządzenie może odbierać lub wysyłać dane od/do każdego innego, co daje dużą elastyczność w konfigurowaniu układu oraz jego testowaniu.

Sieć zawiera mechanizmy umożliwiające działanie systemu rozproszonego w postaci dynamicznego adresowania oraz hierarchicznej i elastycznej struktury pozwalającej łączyć ze sobą sieci o dowolnych topologiach.

3.1. Hierarchiczna struktura sieci

Proponowana sieć porządkuje bloki funkcjonalne według grup, w których są zgromadzone urządzenia często wymieniające ze sobą dane. W skład grupy wchodzi:

- o bloki funkcjonalne podłączone do sieci za pomocą końcówek sieciowych urządzenia,
- o końcówki sieciowe urządzeń (DEP – Device End Point), które zapewniają interfejs urządzenia z siecią. Końcówkę urządzenia można połączyć szeregowo z inną końcówką lub lokalnym routerem sieciowym,
- o routery – urządzenia, które przekierowują pakiety z jednego z czterech wejść na jedno z czterech wyjść wyznaczone za pomocą tablicy routingu. Router może być połączony z końcówką sieciową urządzenia (DEP), innym routerem bądź bramą grupy.
- o brama grupy (gateway) oddziela sieć lokalną (grupę) od sieci zewnętrznej i tłumaczy adresy pośrednie na rzeczywiste adre-

sy urządzeń według zadanej tablicy. Brama jest łączona z jednej strony routerem lokalnym, a z drugiej strony routerem grup.

Komunikację między grupami urządzeń zapewnia router grup. Buduje on dynamicznie obraz sieci na podstawie danych własnych oraz danych odebranych od innych routerów grup. Router ten wykrywa numer grupy i listę urządzeń w grupie podłączonej do jednego z portów, lub otrzymuje takie informacje od sąsiedniego routera grupowego. Na podstawie zebranych danych buduje lokalny obraz sieci i przekazuje go do stojącego wyżej w strukturze routera grupowego (jeśli się taki istnieje) za pomocą wyselekcjonowanego łącza (uplink). Dzięki temu urządzenie znajdujące się na szczycie hierarchii drzewa routerów (root) zawiera całą informację o sieci.

3.2. System adresowania

W sieci obowiązują dwa rodzaje adresów: rzeczywiste i pośrednie. Adresy pośrednie są używane w sytuacji, gdy jedno z urządzeń chce zlecić innemu wykonanie usługi. Poszukiwanie wolnego zleceniobiorcy jest realizowane poza siecią lokalną za pomocą adresów pośrednich. W bramach grup adresy te są tłumaczone na adresy rzeczywiste urządzeń, które mogą wykonać daną usługę. Adresy rzeczywiste oznaczają konkretny adres urządzenia, z dokładnością do numeru portu wejściowego. Adresy te są używane w sieci lokalnej lub po alokacji zasobu przez element funkcjonalny znajdujący się poza siecią lokalną. Przedstawiony system adresacji pozwala zrealizować dwa cele:

- o urządzenia zewnętrzne nie muszą znać adresacji wewnątrz grupy, co upraszcza dynamiczne podłączanie nowych grup do systemu.
- o implementacja dynamicznego przydzielania zasobów (do jednego adresu usługi możemy przypisać kilka urządzeń).

Ponadto w celu ułatwienia testowania systemu dodano możliwość wysłania pakietu do dwóch urządzeń jednocześnie w trybie multicast. Dzięki temu pakiet może być wysłany np. do innego bloku funkcjonalnego oraz do urządzenia testującego w celu podsłuchania pakietów.

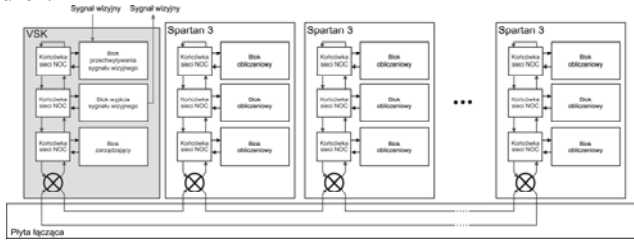
3.3. Komunikacja z pamięcią

Zaawansowane kodeki wizyjne w procesie kodowania potrzebują bardzo wielu odwołań do pamięci. Efektywność komunikacji z pamięcią często decyduje o ich wydajności, dlatego konieczne jest uwzględnienie w procesie projektowania sieci NoC tego zagadnienia. Proponowana sieć NoC zawiera zestaw wbudowanych w protokół sieci komend, które usprawniają sterowanie odczytem i zapisem danych. Komendy te są wydawane kontrolerowi pamięci, urządzeniu, które pośredniczy w wymianie danych między urządzeniami wpiętymi do sieci NoC a koncentrator pamięci. Kontroler tłumaczy proste komendy (np. ustawienie adresu źródłowego czy długość bloku danych) na sygnały rozumiane przez koncentrator pamięci. Dzięki temu komendy sieci NoC są niezależne od pamięci, z którą urządzenie się komunikuje i wszystkie typy pamięci są obsługiwane przez taki sam protokół komunikacyjny (DDR SDRAM, ZBT SRAM, SRAM itp.).

4. Realizacja proponowanej platformy

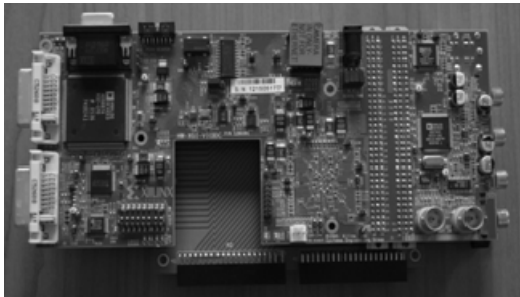
W celu przetestowania idei przetwarzania rozproszonego zbudowano sprzętową platformę wykorzystującą układy programowalne firmy XILINX. Aby zapewnić możliwość zbadania zachowania systemu w różnych konfiguracjach zdecydowano się na użycie 9 płyt z układami FPGA. Daje to możliwość sprawdzenia jak zmieniają się parametry takie jak przepustowość magistrali, opóźnienia w komunikacji między modułami i końcowa wydajność systemu w zależności od liczby użytych układów FPGA. Schemat blokowy systemu rozproszonego został przedstawiony na rysunku 1. Schematem proponowanego systemu rozproszonego jest sieć w układzie (NoC – Network-on-Chip). Wszystkie układy FPGA połączone są ze sobą w topologii pierścienia za pomocą magistrali sieci NoC. Na wejściu każdego układu znajdują się routery sieci rozdzielające

ruch wewnętrzny i zewnętrzny. Wewnątrz układu występuje pojedyncza magistrala sieci NoC łącząca interfejsy sieciowe urządzeń.

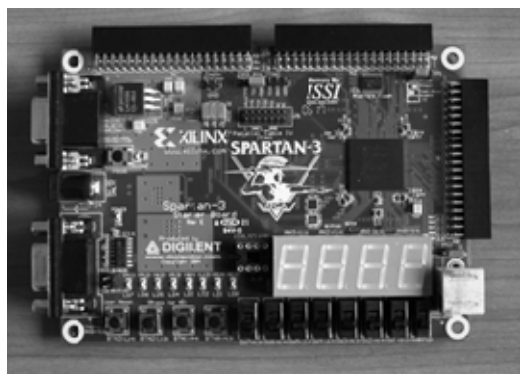


Rys. 1. Schemat blokowy systemu przetwarzania rozproszonego.
Fig. 1. Block schematic of distributed processing system

Na rysunku 2 i 3 pokazano zdjęcia zastosowanych płyt z układami programowalnymi. Do przetwarzania danych zastosowano 8 płyt z układami Spartan3 wyposażonych w 1 MB pamięci, natomiast jako moduł sterujący wykorzystano płytę VSK (Video Starter Kit) z układem Virtex II którego głównym zadaniem jest sterowanie całym systemem oraz dostarczanie do niego obrazów, które mają zostać przetworzone. Płyta VSK zawiera specjalizowane interfejsy we/wy sygnału wizyjnego i fonicznego. Dzięki temu możliwe jest przechwycenie sygnału wizyjnego np. z kamery, przekazanie go w czasie rzeczywistym do obróbki, a następnie wyprowadzenie na monitor.



Rys. 2. Zdjęcie płyty VSK (Video Starter Kit) z układem Virtex II.
Fig. 2. Photograph of VSK board with Virtex II chip.



Rys. 3. Płyta z układem FPGA Spartan3.
Fig. 3. Board with FPGA Spartan3 chip.

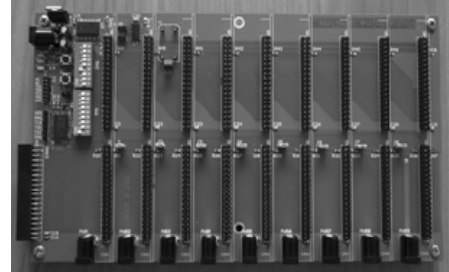
Płytką bazową dla wszystkich modułów stanowi płyta pokazana na rysunku 4. Zawiera ona, poza magistralami łączącymi gniazda płyt, także układy rozprowadzania zasilania, sygnału zegara systemowego oraz sygnałów interfejsu JTAG służącego to programowania oraz testowania układów FPGA. Programowanie może odbywać się bezpośrednio poprzez podłączenie do płyty bazowej kablem programującym JTAG lub zdalnie poprzez dodatkowo dołączany moduł Ethernet.

Zmontowaną platformę sprzętową pokazuje rysunek 5. Prezentowana wersja zapewnia:

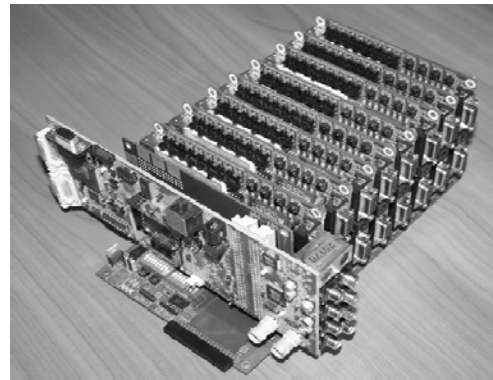
- o dostarczanie sygnałów programujących do wszystkich układów FPGA,
- o komunikację pomiędzy modułami z prędkością 200 MB/s w każdym kierunku.

- o przechwytywanie cyfrowych i analogowych sygnałów wizyjnych SD (Standard Definition) i HD (High Definition).
- o komunikację z zewnętrznym oprogramowaniem poprzez łącze USB lub Ethernet.

System pokazany na rysunku 5 został uruchomiony i sprawdzony na poziomie elektrycznym i transmisyjnym.



Rys. 4. Płyta bazowa ze slotami łączącymi wszystkie moduły.
Fig. 4. Motherboard with slots which connects all modules.



Rys. 5. Zdjęcie całego systemu przetwarzania rozproszonego (8 płyt Spartan3 + płyta VSK z układem Virtex II).

Fig. 5. Photograph of whole distributed processing system (8 Spartan3 boards + VSK board with Virtex II chip).

5. Podsumowanie

Autorzy zaprezentowali architekturę systemu przetwarzania rozproszonego opartego o sieć w układzie (NoC), która zapewnia elastyczność i umożliwia szybką implementację nowych algorytmów kompresji obrazu. Autorzy zbudowali system w oparciu o proponowaną architekturę, wykorzystując tanie i powszechnie dostępne układy FPGA.

6. Literatura

- [1] A. Luthra, G. Sullivan, T. Wiegand (ed.), Special issue on the H.264/AVC video coding standard, IEEE Trans. Circuits Syst. Video Technology, vol. 13, pp. 557-725, July 2003.
- [2] SMPTE Standard for Television: VC-1 compressed video bitstream format and decoding process, SMPTE 421M, 2006.
- [3] P. Dang, High performance architecture of an application specific processor for the H.264 deblocking filter, IEEE Trans. Very Large Scale Integration Systems, vol. 16, pp. 1321-1334, October 2008.
- [4] J. Noseworthy, M. Leeeser, Efficient communication between the embedded processor and the reconfigurable logic on an FPGA, IEEE Trans. Very Large Scale Integration Systems, vol. 16, pp. 1083-1090, August 2008.
- [5] E. Van der Tol, E. Jasper, R. Gelderblom, Mapping of H.264 decoding on a multiprocessor architecture, Proc. SPIE Conf. Video Communication, 2003, pp. 707-709.
- [6] O. Stankiewicz, K. Wegner, System telewizji stereowizyjnej z wyznaczaniem mapy głębi Przegląd telekomunikacyjny kwiecień 2008 s.213
- [7] T. Grajek, M. Domański, A Simple Quantitative Model of AVC/H.264 Video Coders International Conference on Computer Vision and Graphics 2008, 10-12 Listopada 2008, Warszawa